

An English excerpt translation of JP48-15474

A method of manufacturing a substrate

Fig.10 is a top view of an alternative embodiment of present invention. Fig.11 is a section view of the alternative embodiment. In the figs, an intelligent circuit semiconductor element(14), electrodes of the intelligent circuit semiconductor element(14), and a tip(16) corresponded to the each of the electrodes(15).

2-1

1/3

Best Available Copy

②特願昭 46-49022 ①特開昭 48-15474

④公開昭48.(1973) 2, 27 (全 3 頁)

審査請求 有

特 許 願 (D)

昭和46年7月3日

特許庁長官 井土武久 殿

1 発明の名称 基板製造方法

発明者 東京都港区芝5丁目7番15号

氏名 日本電気株式会社内

氏名 金子 肇 (ほか1名)

3 特許出願人

住 所 東京都港区芝5丁目7番15号

氏名(425)日本電気株式会社

代表者 社長 小林 武 治

4 代 理 人 〒 1 4 0

住 所 東京都品川区北品川3丁目9番25号(電話474-6490)

氏名(3617)赤田士 徹 本 居

5 添付書類の目録

- | | |
|-----------|-----|
| (1) 明 細 書 | 1 通 |
| (2) 図 面 | 1 通 |
| (3) 委 任 状 | 1 通 |
| (4) 願書副本 | 1 通 |

方式 ⑤
審査①日本国特許庁
公開特許公報

庁内整理番号

7010 57
6810 42
6962 57

②日本分類

99(5)C3
12 A62
99(5)C1

明 細 書

発明の名称 基板製造方法

特許請求の範囲

基板の一面に蝕刻速度が一定となる寸法以上の蝕刻巾のマスクを用い、基板の他の一面には前記の寸法以下の蝕刻巾のマスクを用いて前記基板の両面を同時に一定時間蝕刻することを特徴とする基板製造方法。

発明の詳細な説明

本発明は集積回路、半導体装置その他の電子部品に使用する基板の製造方法に関するものである。従来の蝕刻基板製造方法を第1図で説明すると、基板(1)の片面(2)又は両面(2)及び(3)に所定形状のホトレジスト又は蝕刻物質に侵されない金属層(4)、(5)又は第2図に示す如く基板(1)の片面(2)に所定形状のホトレジスト又は蝕刻物質に侵されない金属層(4)、基板の他の片面(3)の全面にホトレジスト又は蝕刻物質に侵されない金属層(5)を設け、この基板を蝕刻物質にて蝕刻して所定形状の基板を製造した。

しかしながら第1図及び第2図に(7)にて示す如くサイドエッチにより金属層(5)の直下は必要以上の

蝕刻を受けて所定形状の蝕刻が得ることが困難である。この現象は蝕刻すべき形状の寸法が基板の厚さより小さくなると顕著に現われる。従って所定形状に蝕刻するには第3図に示す如く被蝕刻基板(1)自体の厚さを所定形状の蝕刻部の形状の大きさよりも薄くするか又は第3図の方法で得た第4図に示す蝕刻基板(8)の蝕刻部(9)に第5図に示す如くホトレジスト又は蝕刻物質に侵されない物質により内側マスク10を設けてこれに第2図の蝕刻を行い又は第6図に示す如く外側マスク10を設けてこれに第2図の蝕刻を行い第6図に示す所定形状の基板を製造した。

この方法による基板製造方法はマスクパターン合せやホトレジスト塗布、蝕刻、ホトレジストの剥離等を繰返すなど処理工程が極めて煩雑であり、そのため加工費や加工時間が多くかかる欠点があった。

本発明は上記の欠点を改良する目的にてマスク巾が成る寸法以下になると蝕刻液による基板の蝕刻速度が遅くなる現象を利用して、基板の一面に蝕刻速度が一定となる寸法以上の蝕刻巾のマスクを設け、他の一面には前記の寸法以下の蝕刻巾のマ

Best Available Copy

特開 昭48-15474の4頁

スクを設け、前記の基板両面を同時に蝕刻する蒸
 根製造方法である。

これを具体的に図面によって説明すると第7図は
 縦軸にマスク間隔、横軸にエッチング深さをとり、
 厚さ0.25mmの銅板を塩化第X酸で一定時間エッ
 チングを行った際のマスク間隔とエッチング深さ
 の関係を示す曲線であって、マスク間隔が0.05
 mmから0.2mmまではエッチング深さは急速に深
 くなるが、0.2mm以上になるとエッチング深さはほ
 ぼ一定になることを示している。

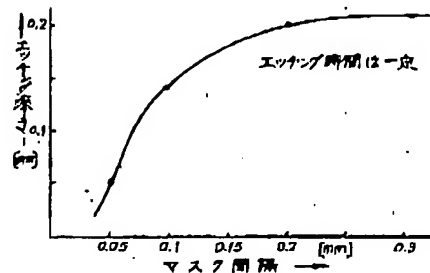
第8図は所望の集積回路の基板の断面図である。
 第9図は以上の現象を利用して第8図に示す如き
 集積回路、半導体装置用のリードフレームを製造
 するのに銅、銅青銅板、コパー、銅コバクラッド
 板、又は52合金銅クラッド板等から成る基板(1)
 の一面に蝕刻速度が一定となる寸法以上の蝕刻巾
 のマスク(12)を、その反対面には前記の寸法以下の
 蝕刻巾のマスク(13)を用いて前記基板の両面を同時
 に一定時間蝕刻することにより両マスク間隔の相
 違による蝕刻速度により一定時間後には一面の蝕
 刻により第9図に点線で示す第8図と同一のリー
 ドフレームを得ることが出来る。

第10図は本発明の他の実施例の上面図、第11
 図はその断面図であって図中10は集積回路半導体
 装置素子、10aは前記素子の電極部、10bは前記電極
 部に対応する先端部であって、この先端部が導肉
 の複線をリードフレームの製造も可能である。ま
 た前記の実施例に示すような一様な基板だけでな
 く複数層の基板の製造にも本発明は適用され、ま
 に複数層の基板自体の蝕刻速度が速いことを利用
 して必要とする部分を残す場合にも適用される。
 図面の簡単な説明

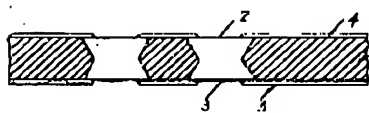
第1〜第6図は従来の蝕刻法の実施の線図を示す
 図、第7図はマスク間隔とエッチング深さの関
 係を示す図、第8図は所望の集積回路用基板断面図、
 第9図は本発明の実施例を示す断面図、第10図
 及び第11図は同じく他の実施例を示す上面図と
 断面図である。(1)は基板、12は蝕刻速度が一定と
 なる寸法以上の蝕刻巾のマスク、13は前記の寸法
 以下の蝕刻巾のマスク。

代理人 弁理士 橋本 浩

オ7図



オ1図



オ4図



オ2図



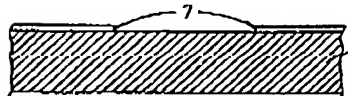
オ5図



オ8図



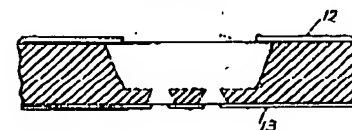
オ3図



オ6図



オ9図



2-13/3

Best Available Cop

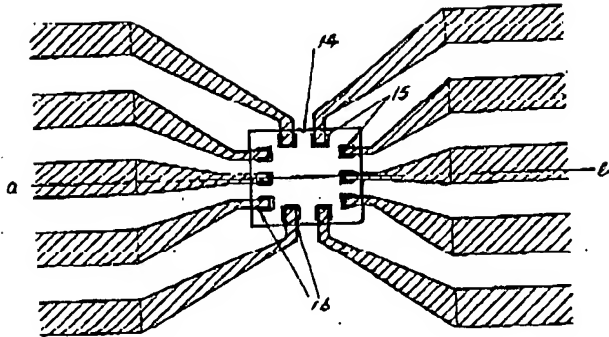
特開 昭48-15474 (3)

6 上記以外の発明者、考案者、出願人

(1) 発明者

オキデンキ
東京都港区芝5丁目7番15号
オキデンキ
日本電気株式会社内
岡本 進

才10図



才11図

